

## ⑪ 公開特許公報 (A)

昭59-55047

⑫ Int. Cl. 3 H 01 L 27/04  
識別記号 C 8122-5F  
27/06 6655-5F

⑬ 公開 昭和59年(1984)3月29日  
発明の数 2  
審査請求 未請求  
(全 8 頁)

## ④ 半導体装置およびその製造方法

⑤ 特 願 昭57-164834

⑥ 出 願 昭57(1982)9月24日

⑦ 発明者 山本恭敬

小平市上水本町1450番地株式会社

社日立製作所武蔵工場内  
⑧ 出願人 株式会社日立製作所  
東京都千代田区丸の内1丁目5番1号  
⑨ 代理人 弁理士 薄田利幸

## 明細書

発明の名称 半導体装置およびその製造方法

特許請求の範囲

- 不純物が拡散されたポリシリコン層と、このポリシリコン層の表面に形成された誘電体層と、誘電体層とこの複合層を挟むようにして前記ポリシリコン層に対向して形成された金属層とで構成したキャバシタを備える半導体装置において、前記ポリシリコン層はP型不純物を導入されたものとN型不純物を導入されたものを夫々独立形成し、これらと前記金属層との間で夫々独立したキャバシタを形成し、これら各キャバシタを並列接続したことを特徴とする半導体装置。
- P型不純物を導入されたポリシリコン層とN型不純物を導入されたポリシリコン層とを並列配置し、これら両ポリシリコン層の表面に形成した酸化シリコン層上に前記両ポリシリコン層を一體的に覆うようにAl<sub>x</sub>層を形成してなる特許請求の範囲第1項記載の半導体装置。
- 所定の形状に夫々独立した一对のポリシリコ

ン層を形成する工程と、一方のポリシリコン層にP型不純物の導入を行なう工程と、他方のポリシリコン層にN型不純物の導入を行なう工程と、前記各ポリシリコン層の表面に酸化シリコン層を形成する工程と、前記各ポリシリコン層上に金属層を形成してこの金属層とP型およびN型のポリシリコン層との間で、夫々、独立したキャバシタを構成する工程と、これらキャバシタを並列接続する構成を施す工程とを備える半導体装置の製造方法。

4. 一对のポリシリコン層はかトレジストをマスクとして順序的にP型不純物の導入、N型不純物の導入を行ない、その後は両者を一体的に熱処理して酸化シリコン層を形成しそれを一體的に覆う金属層を形成してなる特許請求の範囲第3項記載の半導体装置の製造方法。

5. 各ポリシリコン層の不純物の導入は、MOS FETのソース、ドレイン、形成時と同時に行なってなる特許請求の範囲第3項又は第4項記載の半導体装置の製造方法。

6. 発明の詳細な説明

本発明は容量の電圧依存性の殆んどないキャパシタを内蔵した半導体装置およびその製造方法に関するものである。

半導体装置では、回路の一部にキャパシタを能動素子と共に一体形成することが多い。半導体装置内でキャパシタを形成する方法は種々考えられるが、現在は通常第1図に示す構造のキャパシタが用いられる。このキャパシタは半導体基板1の酸化膜2上に形成したポリシリコン層(多結晶シリコン層)3を一方の電極とすると共に、その上面に設けた酸化シリコングラス層(SiO<sub>2</sub>層)4を隣電極層とし、更にその上に形成したAl層5を他方の電極として構成するようしている。この場合、前記ポリシリコン層3は通常N型の不純物をドーピングして、低抵抗化を図っていることは自らまでもない。

このように構成されたキャパシタは極くわずかながら容量の電圧依存性を有している。この原因は、ポリシリコン層が半導体であることから、両電極間に印加された電圧によって所謂空乏層が生

(3)

この電圧依存性は約1.00 P. P. m/V程度であつて、通常の電子回路の使用には等に問題は生じない。例えば、第1図に示すキャパシタが用いられる一般的な回路は第2図に示す演算増幅器のP<sub>1</sub>を利用した積分器であり、その入出力特性は次式で表される。

$$e_o = - \frac{1}{R_1 \cdot C_1} \int e_i dt \quad \text{式(2)}$$

式(2)において、たとえ入力電圧 $e_i$ および抵抗 $R_1$ の値が一定でも、入力電圧 $e_i$ の変化に応じて容量 $C_1$ が変化すると、出力電圧 $e_o$ の値は変化して不安定なものになる。しかし、第1図のキャパシタの容量の電圧依存性は僅々1.00 P. P. m/Vである。これに起因する出力電圧 $e_o$ の変動は非常に小さく殆んど無視されていたが、上述の理由によりしかしながら、高々1.00 P. P. m/Vとかう微少なキャパシタの容量の電圧依存性、つまり容量の微細な変化がその回路の動作特性を決定するような影響を与える回路においては、電圧依存性を零若しくはこれに近い値にまで低減することが要

(5)

成され、かつこの空乏層の状態が印加電圧の値に応じて変化するためと考えられる。このため、キャパシタの容量が電圧変化に伴なって変化するという性質、つまり容量の電圧依存性を有することとなる。

この容量の電圧依存性は、電圧に対する容量の変化の平均でその程度を表わすことができる。例えば、一方の電極の電位を基準とする電圧0Vとしたときに、他方の電極の電位を±5V変化させた場合の容量変化は次式で表わされる。

$$\frac{C(+5) - C(-5)}{C(0) \times 10^6} \times 10^6 \text{ [P. P. m/V]} \quad \text{式(1)}$$

ここで、 $C(+5)$ 、 $C(0)$ および $C(-5)$ は、前記他方の電極の電位を、夫々、+5V、0Vおよび-5Vにしたときのキャパシタの容量を表す。

ところで、第1図に示すキャパシタは、前述のように、容量の電圧依存性を有しているが、それは極くわずかであり、通常問題にはされていなかった。実際、本発明者が行なった実験によつても、

(4)

求まる。

したがつて本発明の目的は電圧依存性を低減ないし零にしたキャパシタを内蔵した半導体装置を提供することにある。

また、本発明の他の目的は従来の半導体装置の製造工程を全く変えることなく本発明の半導体装置を製造することができる製造方法を提供することである。

このような目的を達成するために本発明は、一方の電極を夫々P<sup>+</sup>型とN<sup>+</sup>型のポリシリコン層とし、これと隣電極層および金属層とで決々独立した2つのキャパシタを構成し、かつこれら2つのキャパシタを並列接続して1つのキャパシタを構成するものである。

本発明方法は、キャパシタの一電極であるP<sup>+</sup>型ポリシリコン層とN<sup>+</sup>型ポリシリコン層とを従来江程の一部と同時に形成し、以後は両端を一體的に熟処理してキャパシタの隣電極層である酸化シリコン層を形成するようにしたものである。

以下本発明を詳細に説明する。

(6)

先ず本発明者は、基板上に複数個別にP<sup>+</sup>型ポリシリコジ層とN<sup>+</sup>型ポリシリコジ層を形成し、かつこれら両ポリシリコジ層を同時に酸化化セラミック層を形成した。以下、使用的にP<sup>+</sup>型ポリシリコジ層を電極とするものをP<sup>+</sup>型キャバシタ、N<sup>+</sup>型ポリシリコジ層を電極とするものをN<sup>+</sup>型キャバシタと称す。次に、これらのキャバシタの電圧変化に対する容量変化を勘定し、それを前述した式に代入して容量の電圧依存性を算出した。これによると、第2回(A)、(B)に示すように、P<sup>+</sup>型キャバシタでは電圧依存性が+100~+150 P. P. m/Vとなり、N<sup>+</sup>型キャバシタでは電圧依存性が+130~+150 P. P. m/Vとなり、P<sup>+</sup>型キャバシタとN<sup>+</sup>型キャバシタとでは正負が逆でかつ絶対値が概ね等しいことが判明した。つまり、P<sup>+</sup>型キャバシタとN<sup>+</sup>型キャバシタの電圧に対する容量変化は第3回のグラフに示すように負、正の傾きを有する特性となる。

(7)

た実施例であり、第4回(B)は第4回AのBB面に沿った断面を示す断面図である。Q<sub>1</sub>はNチャンネルMOSFET(N-MOSFET)、Q<sub>2</sub>はPチャンネルMOSFET(P-MOSFET)、Cはキャバシタである。前記N-MOSFET Q<sub>1</sub>はN<sup>-</sup>型のシリコン基板10に形成したP<sup>+</sup>型ウエーハ11正面にN<sup>+</sup>型領域をドレイン12、ソース13として構成すると共に背面に少量化酸化層14上に形成したポリシリコジ層15を低抵抗化セラミック電極として構成している。前記ドレイン12およびソース13はゴムダクトホール16と17を通してA8配線層18、19に接続し、特にドレイン12に接続したA8配線層18は前記P-MOSFET Q<sub>1</sub>のドレイン28を接続している。これについては後述する。図中、20はP型チャネルストップ、21は単SG層、22はゲートパッシベーション層である。また、23はゲート配線である。一方、前記P-MOSFET Q<sub>2</sub>は前記N<sup>-</sup>型基板10の正面にP<sup>+</sup>型領域をソース24、ドレイン25として形成し、かつゲート酸化層26

を設けたが如く、これら両キャバシタを並列に基板上で各段導電路シートを構成すれば、両者の電圧依存性は相殺され、両キャバシタを並列接続すれば、電圧依存性が零の特性を得ることができる。この場合、両キャバシタの特性の傾き(絶対値)が全く等しくなくとも、並列接続による相殺によって、少なくとも一つのキャバシタ単独のものよりも電圧依存性を低減することができる。

なお、第2回(A)、(B)からも判るように、P<sup>+</sup>型ポリシリコジ層とN<sup>+</sup>型ポリシリコジ層では同一条件で表面を酸化化セラミック層を形成しても不純物の相違によってその膜厚が異なる。したがって、同一面積でも得られる容量は相違する。しかし、それは一方の電極であるポリシリコジ層の面積を予め相違させる等の手段で解決でき、また両キャバシタの容量が異なることは特に問題にならない。

第4回(A)、(B)は本発明をMOS電界効果トランジスタ(P-EFT)からなる集積回路に適用し

(8)

上に設けたP<sup>+</sup>型ポリシリコジ層27をゲート電極として構成している。そして、ソース24にはコンタクトホール28を通してA8配線層29を接続し、ドレイン26はコンタクトホール30を通して前記A8配線層18を接続している。31はN型チャネルストップである。また、前記キャバシタCはフィールド酸化層40上に並列配置した一対のポリシリコジ層32、33を有し、前者にP型不純物を導入し、後者にN型不純物を導入して夫々を低抵抗化し、夫々をキャバシタの一方の電極としている。これらポリシリコジ層32、33の上面には勝巻体積、例えば酸化シリコン層34を形成し、更にその上にキャバシタの他方の電極としての金属層、例えばA6層35を前記両ポリシリコジ層32、33にわたって形成している。このA6層35にはA6配線層36を一体に形成している。前記両ポリシリコジ層32、33はゴムダクトホール37、38を通して夫々A6配線層36と接続している。ここで、前記ポリシリコジ層32、33又はA6層35の面積や膜

(9)

## 発明の範囲

導体膜としての酸化シリコン層3.4の厚さは要求されるキャバシタの容量応応じて適宜に設定する。

したがって、このような構成の半導体装置では、特にキャバシタCは、第5図に示す回路図を示すようにP<sup>+</sup>型キャバシタCPと、N<sup>+</sup>型キャバシタCNとを並列に接続したものとなり、全容量は各キャバシタCP、CNの算術和となる。

次に以上の構成になる半導体装置の製造方法を第6図(A)～(I)の工程図に従って説明する。なお、第6図(A)～(I)は第4図(B)に相当する断面を示している。各項符号は同図(A)～(I)の符号に対応させてある。

(A) N<sup>-</sup>型シリコン基板1.0のN-MOSFET Q<sub>1</sub>構成部位にP<sup>+</sup>型ウエハ1.1を形成し、このP<sup>+</sup>型ウエハ1.1とN<sup>-</sup>型シリコン基板1.0のP-MOSFET Q<sub>2</sub>構成部位に夫々原次SiO<sub>2</sub>膜およびSi<sub>3</sub>N<sub>4</sub>膜(図示せず)を形成する。このSi<sub>3</sub>N<sub>4</sub>膜のない領域にボロンおよびリンを夫々選択拡散してチャネルストップ2.0および3.1を形成する。次にSi<sub>3</sub>N<sub>4</sub>膜マスクとして基板表面を遮蔽酸化さ

01

2.7に自己整合してボロンがドープされソース2.4、ドレイン2.5であるP<sup>+</sup>型拡散領域が形成される。

(E) ホトレジストマスク4.1を除去した後、今度はP-MOSFET Q<sub>2</sub>の構成部位およびキャバシタの他方のシリコン層3.2にホトレジストマスク4.2を形成し、リン等を用いてN型不純物の拡散を行なう。これにより、ゲート(シリコン層)1.5、シリコン層3.3はリン処理されて低抵抗化される。同時にP<sup>+</sup>型ウエハ1.1の主面には自己整合によってリンがドープされ、ドレイン1.2、ソース1.3であるN<sup>+</sup>型拡散領域が形成される。

(F) ホトレジストマスク4.2の除去後、全面にPSQ(リンシリケートガラス)層2.1をCVD法によって形成する。その上下キャバシタCの両シリコン層3.2、3.3上面のPSG膜をホトエッチング技術により除去する。そして、露出したシリコン層3.2、3.3表面を酸化することにより、キャバシタCの隣電極膜としての酸化シリコ

ン層4.4を形成する。

(B) 図外のSiO<sub>2</sub>膜およびSi<sub>3</sub>N<sub>4</sub>膜を除去した後MOSFET Q<sub>1</sub>、Q<sub>2</sub>の構成部位の基板表面を酸化する。導入ガート酸化層( SiO<sub>2</sub>膜) 1.4を形成する。

(C) フィード酸化層4.0およびゲート酸化層1.4の全面IC CVD法(気相化学反応法)によつてポリシリコンを析出させる。そしてこれをホトマッピング技術により選択的にマスクしてゲート1.5、2.7相当部位およびキャバシタCの一方の電極部位を残してポリシリコン層1.5、2.7、3.2、3.3を形成する。次いで露呈されたゲート酸化層1.4をエッティング除去する。

(D) N-MOSFET Q<sub>1</sub>の構成部位およびキャバシタCを構成する一方のポリシリコン層3.3にホトレジストマスク4.1を形成し、ボロン等を用いてP型不純物の拡散を行なう。これにより、ゲート電極(シリコン層)2.7、シリコン層3.2はボロン処理されて低抵抗化される。同時にN<sup>-</sup>型シリコン基板1.0の正面にはゲート電極

02

を層4.4SiO<sub>2</sub>層)3.4が形成できる。

(G) 各MOSFET Q<sub>1</sub>、Q<sub>2</sub>のソース1.3、2.4ドレイン1.2、2.5相当箇所およびキャバシタCのポリシリコン層3.2、3.3上のPSG膜2.1にドライエクトラブル1.6、2.8、1.7、3.0、3.7、3.8を形成する。なおコンタクトホール3.7、3.8は第4図(A)に示ものである。

(H) 全面にA6層を蒸着等によって形成し、所要の形状にマッピングしてA6配線層1.8、1.9、2.9、3.6、3.9および前記ボリシリコン層3.2、3.3を覆うようなA6層3.5を形成する。このA6層3.5の形成面より、前記ボリシリコン層3.2および3.3はA6層3.5と酸化シリコン層4.4とで夫々P型およびN型のキャバシタCPおよびCNを構成し、かつA6配線層3.9によって並列接続されることになる。なおA6層3.6、3.9は第4図(A)に示すものである。

(I) A6配線層およびA6層上にファイナルドッピング・ーション層2.2を形成し、半導体装置を完成する。

03

-218-

04

したがって、以上のように構成されかつ製造された半導体装置は、特にキャパシタCを第5図の等価回路に示すようにP<sup>+</sup>型キャパシタCpとN<sup>+</sup>型キャパシタCnを並列接続した構成としているので、P<sup>+</sup>型キャパシタCpの容量の負の電圧依存性とN<sup>+</sup>型キャパシタCnの容量の正の電圧依存性が互に相殺され、合成されたキャパシタCの電圧依存性は各キャパシタCp、Cn単独のものよりも低減される。このとき、両キャパシタの電圧依存性の絶対値が等しいか又は殆んど等しければ、得られる電圧依存性は零又は零に極めて近いものとなる。これにより、キャパシタ容量変化の影響を受け易い電子回路に本発明に係るキャパシタを用いても安定した作動特性を得ることができる。

ここで、前記実施例において、キャパシタの誘電体膜として熱酸化によるSiO<sub>2</sub>膜以外にSi<sub>N</sub><sub>4</sub>膜あるいはCVD法によるSiO<sub>x</sub>膜等他の誘電体膜を用いることもできる。不純物の導入方法として拡散以外にイオン打込み法を用いてもよい。また、P<sup>+</sup>型ポリシリコン層とN<sup>+</sup>型ポリシリコン層

を並んで形成しているが、適宜間に配置してもよい。この場合にはA-B層も各ガリシリコン層に対応して個別に形成することになる。また、キャパシタの並列接続は電圧依存性の正負が相殺される関係にすればよく、場合によっては3個以上のキャパシタを並列接続してもよい。

以上のように本発明の半導体装置によれば、P<sup>+</sup>型キャパシタとN<sup>+</sup>型キャパシタを並列接続した構成としているので、各キャパシタの容量の正負の電圧依存性を相殺してキャパシタ全体としての電圧依存性を零ないしこれに近い値にでき、電圧依存性の殆どないキャパシタを構成して電子回路の動作安定性の向上を図ることができる。

また、本発明の製造方法によれば、P<sup>+</sup>型ポリシリコン層とN<sup>+</sup>型ポリシリコン層を個別に形成した後、両ポリシリコン層を同時処理して酸化シリコン層、金属層を形成し、しかも前記P<sup>+</sup>型、N<sup>+</sup>型の各ポリシリコン層はMOSFET等の形成と同時に形成する事もできるので、従来の一般的な半導体製造工程と同一の工程若しくはその一部

05

の工程で電圧依存性の殆どないキャパシタを構成することができる。

#### 図面の簡単な説明

第1図は従来の半導体装置のキャパシタ部位の断面図。

第2図(A)、(B)はP<sup>+</sup>型、N<sup>+</sup>型キャパシタの電圧依存性を示すグラフ。

第3図は電圧変化に対する容量変化の特性グラフ。

第4図(A)、(B)は本発明の半導体装置の平面図とそのB-B線に沿った断面図。

第5図はキャパシタの等価回路図。

第6図(A)～(I)は製造工程図。

第7図はキャパシタを用いた演算増幅器による積分回路図である。

1 0…N<sup>+</sup>型シリコン基板、1 1…P<sup>+</sup>型ウエル、  
1 2…ドレイン、1 3…ソース、1 4…ゲート酸化層、  
1 5…ゲート、1 8、1 9…A-B配線層、  
2 1…PSG層、2 4…ソース、2 5…ドレイン、  
2 7…ゲート、2 9…A-B配線層、3 2…P<sup>+</sup>型  
ポリシリコン層、3 3…N<sup>+</sup>型ポリシリコン層。

07

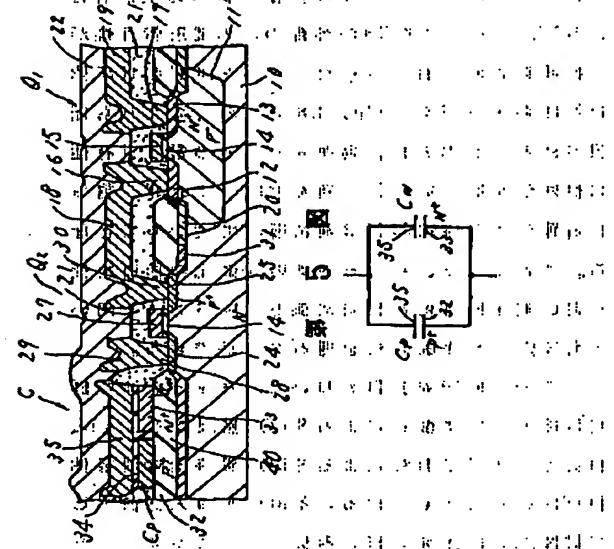
06

3 4…酸化シリコン層、3 5…A-B層、3 6、  
3 9…A-B配線層、4 0…フィールド酸化層、  
Q<sub>1</sub>…N-MOSFET、Q<sub>2</sub>…P-MOSFET、  
C…キャパシタ、Cp…P<sup>+</sup>型キャパシタ、  
Cn…N<sup>+</sup>型キャパシタ。

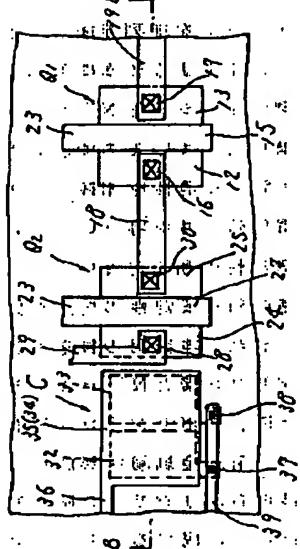
代理人弁理士 審田利



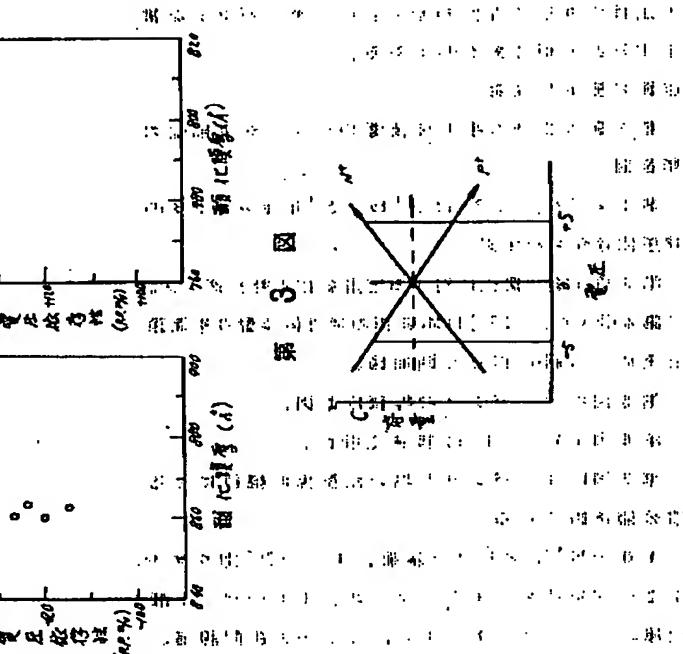
特開昭59-55047 (6)



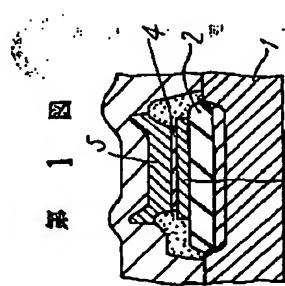
第1図  
電気回路装置の構成例



第2図  
(A)

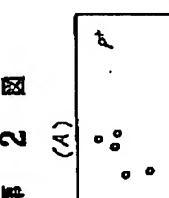


第3図



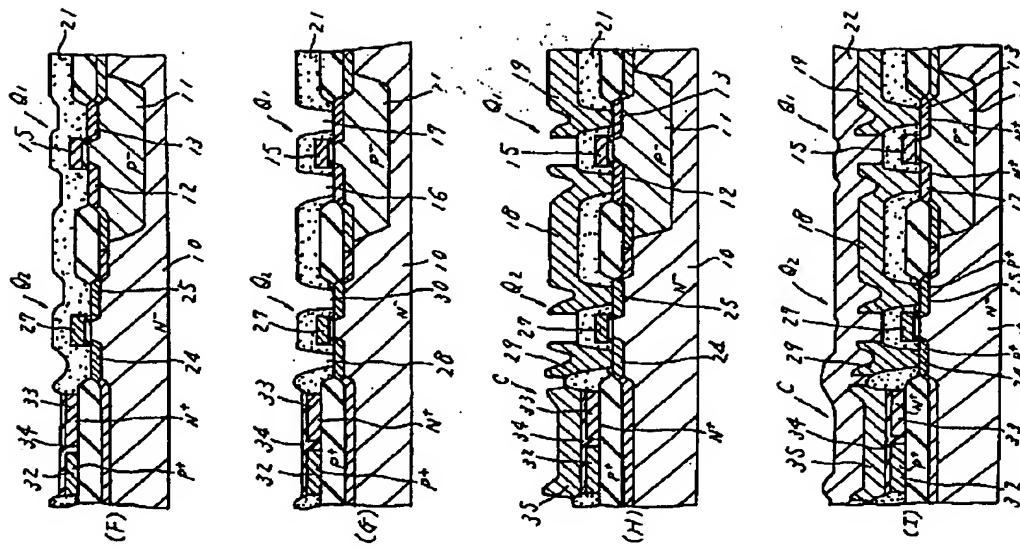
第2図  
(B)

第1図

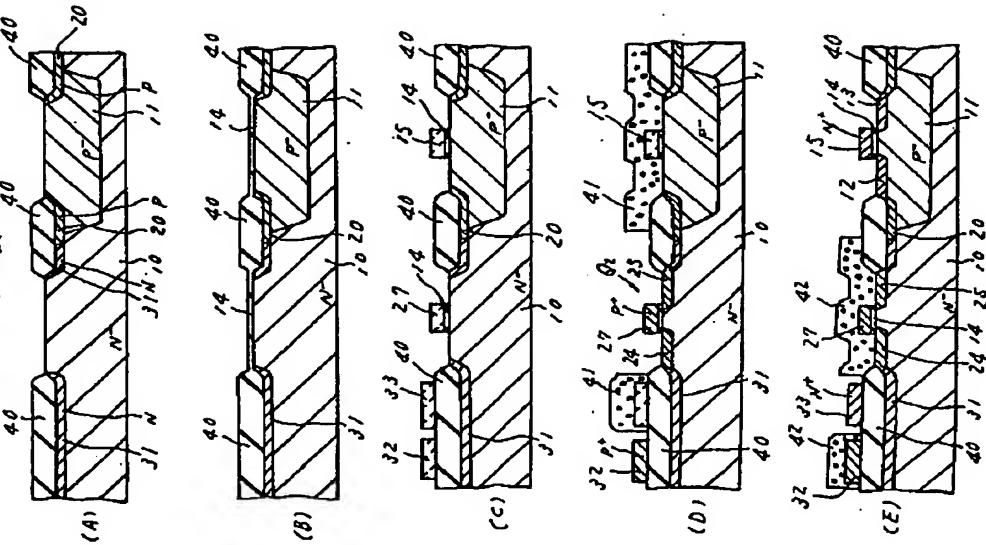


第2図  
(A)

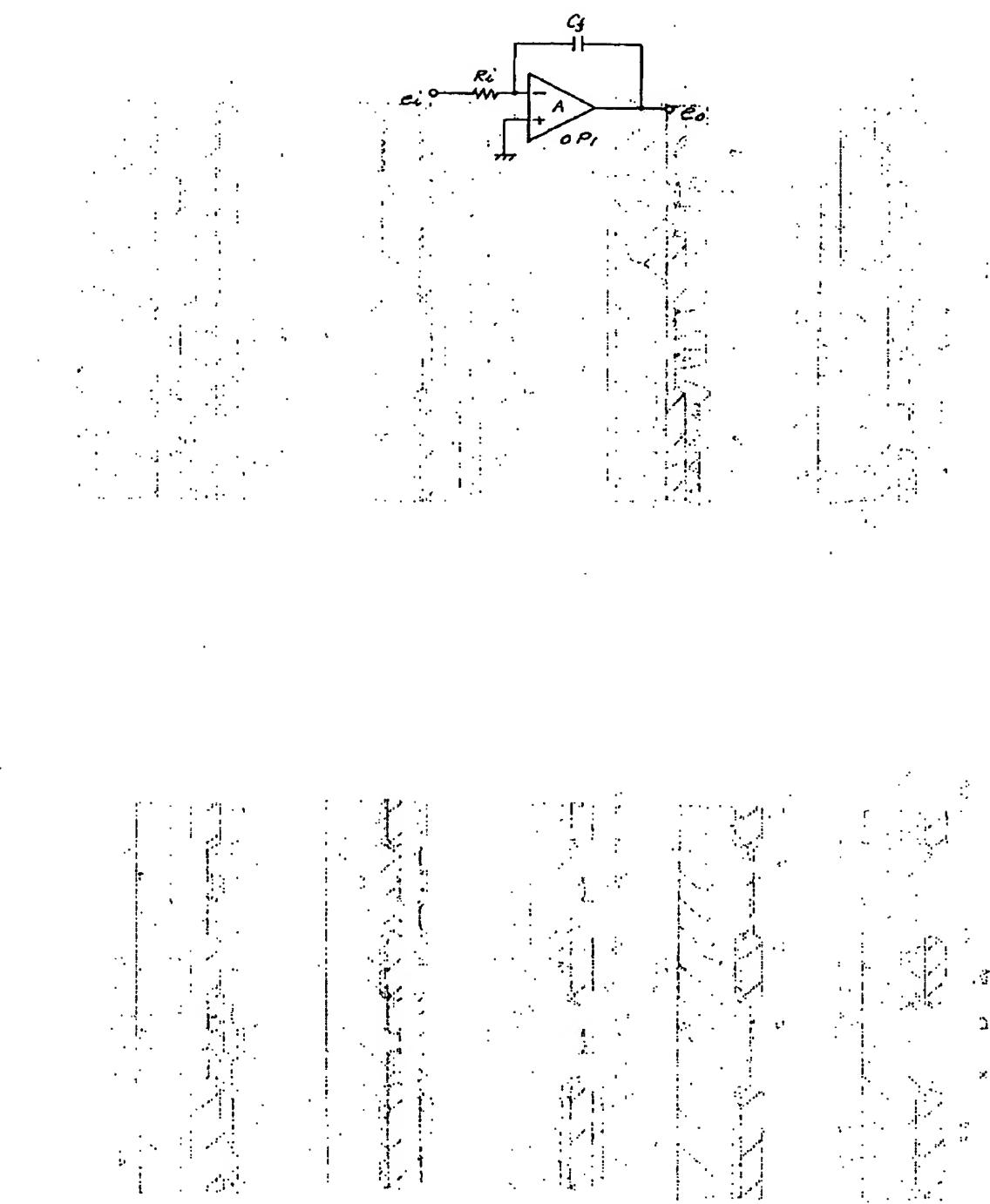
四  
六  
集



四六九



第 7 図



AVAILABLE COPY